

# 脉冲应力增强的 NMOSFET s 热载流子效应研究

刘红侠,郝 跃

(西安电子科技大学微电子研究所,陕西西安 710071)

**摘 要:** 本文研究了交流应力下的热载流子效应,主要讨论了脉冲应力条件下的热空穴热电子交替注入对 NMOSFET s 的退化产生的影响.在脉冲应力下,阈值电压和跨导的退化增强.NMOSFET s 在热空穴注入后,热电子随后注入时,会有大的退化量,这可以用中性电子陷阱模型和脉冲应力条件下热载流子注入引起的栅氧化层退化来解释.本文还定量分析研究了 NMOSFET s 退化与脉冲延迟时间和脉冲频率的关系,并且给出了详细的解释.在脉冲应力条件下,器件的热载流子退化是由低栅压下注入的热空穴和高栅压下热电子共同作用的结果.

**关键词:** 热载流子效应; 脉冲应力; NMOSFET s; 电子陷阱

**中图分类号:** TN406 **文献标识码:** A **文章编号:** 0372-2112 (2002) 05-0658-03

## Study on Pulse Stress Enhanced Hot-Carrier Effects in NMOSFET s

LIU Hong-xia, HAO Yue

(Microelectronics Institute, Xidian University, Xi'an, Shaanxi 710071, China)

**Abstract:** Hot-carrier effects under AC (Alternating Current) stress are investigated in this paper. Alternative hot-hole and hot-electron injection effects on the degradation of NMOSFET s under pulse stress are discussed mainly. Enhanced degradation appears in both threshold voltage and transconductance under pulse stress. NMOSFET s after hot-hole injection followed by hot-electron injection produce serious degradation, which can be explained by neutral-electron-trap model and hot-carrier-induced gate oxide degradation under pulse stress. The pulsed delay time and pulse frequency effects on NMOSFET s degradation are investigated and analyzed quantitatively, and a detailed explanation is also given out. Under pulse stress, the hot-carrier-induced device degradation is caused by the co-operation of hot holes at low voltage and hot electrons at high voltage.

**Key words:** hot-carrier effects; pulse stress; NMOSFET s; electron traps

### 1 引言

超大规模集成电路技术是现代信息产业的基础.电路规模的不断增加,性能价格比的不断提高,带动了信息产业的各个领域发生了革命性的变化.当今工艺最先进的 Pentium 4 处理器包含有 4200 万颗晶体管,运行速度为 1.7Ghz,预计到 2007 年,将出现集成 10 亿个晶体管的芯片.随着 MOS 器件尺寸的日益缩小,热载流子效应越来越严重<sup>[1-4]</sup>.人们从多方面对此进行了研究,取得了许多有意义的成果,热载流子效应的某些抑制结构已经应用到实际电路中去<sup>[5,6]</sup>.MOS 器件在电路中通常工作在动态应力条件下,即栅、漏电压波形都随时间改变,器件的热载流子应力条件在一个周期内也不断变化.因此预测动态应力条件下热载流子损伤的复杂程度远远大于静态应力<sup>[7]</sup>.其中动态应力条件下的热载流子效应的退化机理,尤其是器件退化的机理和热载流子注入条件之间的联系依然是讨论的主题.

本文研究了 NMOSFET s 在脉冲应力下的热载流子退化效应.对不同应力条件下的热空穴和热电子交替注入的相互作用机制进行了分析,定量研究了器件退化与脉冲延迟时间

和脉冲频率的关系.

### 2 实验结果和讨论

#### 2.1 脉冲应力下 NMOSFET s 的退化

实验采用 HP4156B 半导体参数测试仪进行.在微机上用 BASIC 程序来控制 HP4156B 的测试过程.测试 NMOSFET s 在动态应力下的热载流子效应时,采用加周期性的脉冲应力来模拟 NMOSFET s 热空穴和热电子交替注入产生的动态热载流子效应.

把模拟应力条件设为低栅压  $V_d = 5V, V_g = 0.5V$ ;高栅压为  $V_d = 5V, V_g = 5V$ ,来模拟栅脉冲应力,脉冲的基值电压为 0.5V,峰值电压为 5V.周期为 100 分钟,占空比为 50%,振幅为 4.5V.如图 1 所示.实验样品为封装好的,宽长比为 10/1 的 P 型衬底 NMOSFET s.

图 2 和图 3 给出了 NMOSFET s 在热空穴和热电子的交替注入下,阈值电压和跨导的退量.图中阈值电压的变化量用  $V_{th}$  来表示,跨导退化幅度用  $-g_m/g_m$  来表示.为了便于说明,将图 2 和图 3 分别划分为、和六个区域.其中、三个区域为低栅压区 ( $V_d = 5V, V_g = 0.5V$ ),

收稿日期:2001-07-06;修回日期:2001-11-26

基金项目:国家 863 资助项目(No. 863-SOC-Y3-6-1)

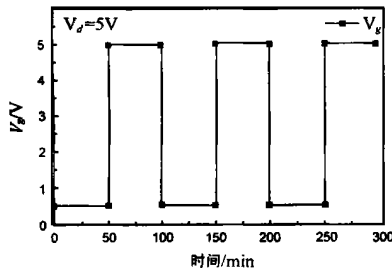


图 1 模拟的脉冲应力  $V_d=5V, V_g=5V$  .

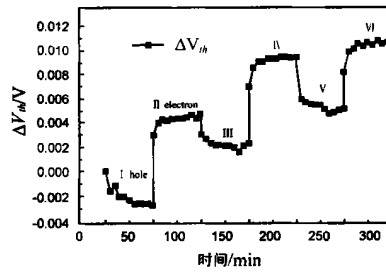


图 2 NMOSFET s 的阈值电压退化与应力时间的关系

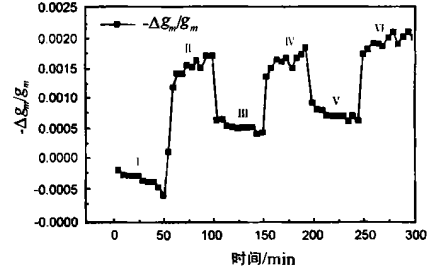


图 3 NMOSFET s 的跨导退化与应力时间的关系

、和 是高栅压区 ( $V_d=5V, V_g=5V$ ) .  
 从图可以看出,在 区由于热空穴注入 NMOSFET s 器件开始退化,随着脉冲应力时间增加,器件的退化量增加.在随后的 区,即高栅压区,此时热电子注入 NMOSFET s 栅氧化层中,器件的退化量在较短的时间内大幅的增加.在以后的一段时间内,虽然热电子仍在不断的注入栅氧化层,但 NMOSFET s 的  $V_{th}$ 和  $-gm/g_m$  只是略微增加,变化没有刚开始的一小段时间内的变化量那么剧烈.在 区,随着热空穴注入到栅氧化层中,NMOSFET s 的  $V_{th}$ 和  $-gm/g_m$  开始减少但变化不是很明显.在第 区,热电子大量注入栅氧化层中,使得 NMOSFET s 的  $V_{th}$ 和  $-gm/g_m$  的值在较短的时间内大幅增加,在随后的时间内它们二者的变化先对于前面开始注入时的变化量明显降低,只是略微有一些增长.在第 区内,在热载流子的注入下,NMOS 器件的  $V_{th}$ 和  $-gm/g_m$  的变化量与 、区类似,在第 个区域内 NMOSFET s 的退化规律重复着 、区的规律.在各个应力初期,NMOSFET s 的  $V_{th}$ 和  $-gm/g_m$  才会发生较剧烈的漂移.

对于上述的实验结果可以做如下分析:NMOSFET s 在第 区时,即栅压接近阈值电压时,由于器件刚进入强反型区,较少的热载流子只能产生少量的界面态,但此时氧化层纵向电场有利于热空穴的注入,器件退化可归因于漏结空间电荷区雪崩热空穴的注入和俘获,但此时的情况比较复杂.实验表明,较长时间的空穴注入只能使器件产生较小的退化量,但紧接着几秒钟的电子注入就会使器件产生显著的退化,而没有施加空穴注入的样品在同样的电子注入条件下则不会产生如此大的退化量,并且同样条件下产生的界面态也不能导致这样的退化量.这可以用注入空穴在氧化层中产生了大量的中性电子陷阱来解释这一现象.一旦空穴大量注入  $SiO_2$ ,会明显降低电子势垒,从而有助于电子的注入,并且强化了器件的退化效应.随后的注入电子会被这些中性电子陷阱俘获,对器件特性产生较大影响.由于晶体管处在低栅压应力下,注入栅氧化层中的热载流子以碰撞电离的热空穴为主,NMOSFET s 损伤主要是由于碰撞电离产生的热空穴导致的.在应力过程中由于  $V_{th} V_g < V_d/2$ ,在漏端附近存在一个大的跨越电场(漏到栅)此时产生的界面态和俘获的载流子密度都很大<sup>[8]</sup>.由于  $V_g V_d$ ,热空穴的注入导致空穴俘获,进而使  $V_{th}$ 和  $-gm/g_m$  发生变化,这种应力条件下会在栅氧化层产生大量界面态和中性电子陷阱,但此时中性电子陷阱的影响未被表现出来.所以 NMOSFET s 的退化量不大.然而紧跟着在 区大量的热电

子被注入到栅氧化层中,此时注入的热电子被中性电子陷阱所俘获,导致器件在热电子被注入到栅氧化层中的最初非常短的一段时间内大幅度的退化.而后由于大部分中性电子陷阱被热电子填充,所以在下面时间段内器件的退化量与前面很小的一段时间相比明显减少.接着 NMOSFET s 在 区再次被注入热空穴,但这时 NMOSFET s 的退化量没有 区那么明显,主要是由于氧化层陷落电子的退陷阱作用引起的.在第 区,栅氧化层再次被注入热电子,此时由于热空穴注入栅氧化层中产生的中性电子陷阱以及退陷阱效应失去电子的中性电子陷阱,使 NMOSFET s 的退化量再次增加.至此,NMOSFET s 经历了低栅压的热空穴注入和高栅压的热电子注入的周期性应力.此后的 NMOSFET s 的退化重复以上的规律.

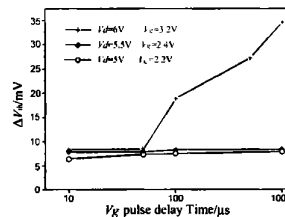


图 4 NMOSFET s 阈值电压退化与脉冲延迟时间的关系

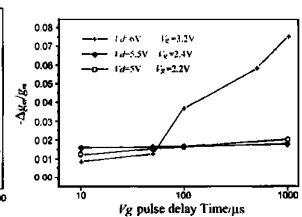


图 5 NMOSFET s 跨导退化与脉冲延迟时间的关系

2.2 NMOSFET s 的退化与栅脉冲应力延迟时间的关系

脉冲应力由 HP 41501B 来产生,其频率为固定的 100Hz,占空比为 50%.改变信号的延迟时间,从 10μs 到 1000μs 来测量 NMOSFET 的退化量,这里每个点加 60 分钟.测试样品的宽长比为 50/1 的 P 衬底 NMOSFET s.从图 4 和图 5 中看出 NMOSFET s 在  $V_d=5V, V_g=2.2V$  和  $V_d=5.5V, V_g=2.4V$  时晶体管退化量非常的小,并且不随延迟时间的变化而发生变化,但是当  $V_d=6V, V_g=3.2V$  时器件的退化量随延迟时间的增加而显著增加.这说明,在测量 NMOSFET s 的退化与栅脉冲应力延迟时间的关系时,漏电压存在一个临界值,当漏电压比临界值高时,NMOSFET s 的退化量才会随着脉冲信号延迟时间的增加而增大,低于这个临界值,器件的退化与延迟时间的关系则不明显.这是由于热空穴和热电子的注入数量存在一个临界值引起的.众所周知,沟道热载流子是由沟道中在高场下运动的电荷及其倍增电荷形成的.当源漏电压较高时,在漏结附近会形成水平方向上的高电场,在高场作用下,一部分载流子在水平运动中会获得足以翻越  $Si-SiO_2$  势垒的能量,并且在受到弹性散射后会幸运地以垂直于界面的方向运动,且能

量不受损失;同时在高场下,漏结附近的碰撞电离作用也会产生高能热载流子并幸运地射向界面,从而形成“幸运热载流子”。它们在注入氧化层的过程中在 Si-SiO<sub>2</sub> 界面会形成界面态陷阱,并有部分热载流子被氧化层中的电荷陷阱俘获,从而加剧了器件的退化。同时延迟时间的增加使得器件从低栅压向高栅压过渡的时间拉长,使得空穴的注入量增大,产生更多的中性电子陷阱,器件的退化增强。

### 2.3 NMOSFETs 的退化与栅脉冲应力频率的关系

同样,脉冲应力由 HP 41501B 来产生,每一频率在 NMOSFETs 栅电压上加 90 分钟后测试 NMOSFETs 的退化量。在此过程中在漏端加一恒定的电压  $V_d = 5V$ 。栅脉冲为 50% 的占空比,上升延迟和下降延迟均为 100 $\mu$ s,脉冲信号的振幅为 5V。实验样品为封装好的,宽长比为 50/1 的 P 型衬底 NMOSFETs。测试结果如图 6 和 7 所示。

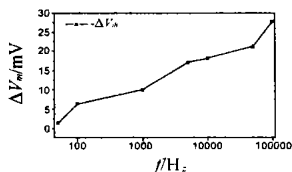


图 6 NMOSFETs 跨导退化和栅脉冲频率的关系

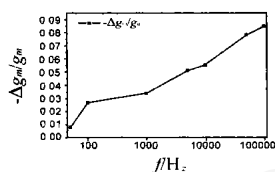


图 7 NMOSFETs 阈值电压退化和栅脉冲频率的关系

从测试结果可以看出,NMOS 晶体管的热载流子效应的退化量与它所承受的脉冲应力频率有着密切的关系。随着脉冲应力频率的增加,NMOSFETs 的退化量也显著的提高。在低栅压区,氧化层纵向电场有利于热空穴的注入,器件退化可归因于漏结空间电荷区雪崩热空穴的注入和俘获。热空穴会在栅氧化层产生大量界面态和中性电子陷阱。在高栅压应力区,此时器件工作在临界饱和点附近,沟道横向电场强度小于最大值,热载流子的数量较少,因而产生的界面态数量也较少,但氧化层纵向电场的方向有利于注入的热电子进入栅氧化层,因而氧化层中的电荷陷阱俘获的注入电子就成为影响器件退化的主因。热电子的注入集中在靠近漏结的高场区内,形成氧化层中陷阱电荷水平方向的不均匀分布,且由被俘获的电子所形成的退化区随时间向源区方向扩展。由于脉冲应力频率的提高使得热空穴和热电子交替注入的次数大大的增加,使得二者更加频繁的相互作用,使得器件的退化量大大增加。另外在 NMOSFETs 的瞬态效应中,碰撞电离产生的空穴必须通过耗尽区才能到达衬底,因此就有一个过渡时间,这是器件的固有时间,与工艺无关。若脉冲瞬态时间小于这一时间常数,当  $V_{gs}$  下降后,部分空穴没有足够的时间离开耗尽区,而尚未完全弛豫的沟道电子碰撞电离作用会产生更多的空穴。同时低栅压时沟道横向电场增大,空穴注入氧化层的数量也随之增加,即当  $V_{gs}$  关断时出现注入电流增大现象,使得 NMOSFETs 退化量显著增加。

### 3 结论

本文通过对 NMOSFETs 的动态应力下的热载流子效应的测量,得出主要结论如下:(1)单独的热空穴注入对器件的退化影响不是很大,它在栅氧化层中产生了大量的中性电子

陷阱。后来注入的热电子被这些中性电子陷阱所俘获,使得器件在热电子注入的很小的一段时间内产生急剧的退化,从而大大的影响器件的可靠性。(2)由于热空穴和热电子的注入存在一个临界值,使得漏电压也存在一个临界值,当漏电压比临界值高时,NMOSFETs 的退化量才会随着脉冲信号延迟时间的增加而增大。(3)脉冲应力下的器件退化的增加量是与器件本身固有的时间常数有关。当脉冲应力的瞬态时间小于器件的固有时间时,器件的退化量才会大幅度的增加。

### 参考文献:

- [1] Chung J E, et al. Performance and reliability design issues for deep-submicrometer MOSFETs [J]. IEEE Trans Electron Devices, 1991, 38 (3): 545 - 554.
- [2] Sheu B J, et al. An integrated-circuit reliability simulator Rely [J]. IEEE Journal of Solid-State Circuits, 1989, 24(2): 473 - 477.
- [3] Fantini F. Reliability problems with VLSI [J]. Microelectronics Reliability, 1984, 24(2): 275 - 296.
- [4] Crook D L. Evolution of VLSI reliability engineering [A]. Proc. IRPS [C], 1990. 2 - 11.
- [5] Hu C. Simulating hot-carrier effects on circuit performance [J]. Semicon Sci Technol, 1992, 7(8): 555 - 558.
- [6] Doyle B S, et al. The generation and characterization of electron and hole traps created by hole injection during low gate voltage hot-carrier stressing of nMOS transistors [J]. IEEE Trans. Electron Devices, 1990, 37(8): 1869 - 1876.
- [7] Brox M, et al. Dynamic Degradation in MOSFETs - Part I: The Physical Effects [J]. IEEE Trans. Electron Devices, 1991, 38(8): 1852 - 1858.
- [8] Ghods R, et al. Arriving at a unified model for hot-carrier degradation in MOSFETs through gate-to-drain capacitance measurement [J]. IEEE Trans. Electron Devices, 1994, 41(12): 2423 - 2429.

### 作者简介:



申请专利 1 项。

刘红侠 女,1968 年出生于陕西省咸阳市,副教授,1990 年获得西北大学物理系半导体物理专业学士学位,1995 年获西安交通大学微电子学专业硕士学位,现为西安电子科技大学微电子所博士生,中国电子学会高级会员,中国电子学会青年工作委员会委员,主要从事集成电路器件可靠性和失效机理分析研究,发表论文 30 余篇,申



100 余篇,专著 5 部。

郝跃 男,1958 年出生于四川省重庆市,教授,半导体器件与微电子学博士生导师,1985 年获得西安电子科技大学硕士学位,1991 年获得西安交通大学博士学位,IEEE 高级会员,国家有突出贡献专家,主要从事半导体器件与电路可靠性物理和设计技术,集成电路可制造性理论和研究方法研究,国内外刊物和重要的国际会议上发表论文